

#3/10/01
P. O. Box 747
1-80-22

IN THE U.S. PATENT AND TRADEMARK OFFICE

1c997 U.S. PTO
09/998134
12/03/01

Applicant(s): KIM, Jeong Soo et al.

Application No.:

Group:

Filed: December 3, 2001

Examiner:

For: METHOD FOR FORMING JUNCTION IN SEMICONDUCTOR DEVICE

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

December 3, 2001
2332-0117P-SP

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	2001-23405	04/30/01

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

JOSEPH A. KOLASCH

Reg. No. 22,463

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sll

KIM, Jeong Soo et al.
December 3, 2001
BSKB, LLP
(703) 205-8000
2332-0117P

1 of 1

Jc997 U.S. PRO
09/998134
12/03/01

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 23405 호
Application Number PATENT-2001-0023405

출원년월일 : 2001년 04월 30일
Date of Application APR 30, 2001

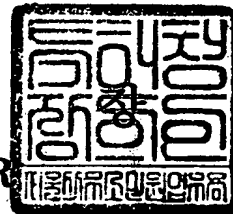
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 07 월 24 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2001.04.30
【발명의 명칭】	반도체소자의 접합 형성방법
【발명의 영문명칭】	Method for forming junction in semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	김정수
【성명의 영문표기】	KIM, Jeong Soo
【주민등록번호】	690725-1462623
【우편번호】	467-040
【주소】	경기도 이천시 송정동 322번지 동양아파트 104-1404
【국적】	KR
【발명자】	
【성명의 국문표기】	손상호
【성명의 영문표기】	SHON, Sang Ho
【주민등록번호】	720304-1683511
【우편번호】	703-014
【주소】	대구광역시 서구 평리4동 1201-15번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】 15 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 13 항 525,000 원

【합계】 554,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 접합 형성방법에 관한 것으로, 할로임플란트를 이용한 반도체 소자의 접합 형성방법에 있어서, 할로임플란트지역을 제외한 반도체기판의 나머지 부분상에 감광막 패턴을 형성하는 단계와, 상기 반도체기판의 할로임 플란트지역에 45° 틸트 각을 이용하여 1단계 할로임플란트를 실시하는 단계와, 상기 반도체기판의 할로우 임플란트지역에 0° 틸트각을 이용하여 2단계 할로임플란트를 실시하는 단계를 포함하여 이루어지며, 할로임플란트를 통한 접합형성시에 쉐도우 효과를 방지할 수 있어 균일한 접합의 도핑을 유지할 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

반도체소자의 접합 형성방법{Method for forming junction in semiconductor device}

【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체소자의 접합형성방법에 있어서, 다수의 할로(halo) 임플란트를 설명하기 위한 반도체소자의 레이아웃도,

도 2는 본 발명에 따른 반도체소자의 접합형성방법에 있어서, 할로 (halo) 임플란트를 설명하기 위한 반도체소자의 레이아웃도,

도 3은 본 발명에 따른 반도체소자의 접합형성방법에 있어서, 할로 임플란트를 도기한 반도체소자의 레이아웃을 나타내는 사시도,

도 4 내지 6 각각은 본 발명에 따른 반도체소자의 접합형성방법에 있어서, 할로 임플란트를 1차, 2차 및 3차 이온주입시의 반도체소자의 단면도,

[도면부호의설명]

11 : 반도체기판

13 : 게이트

15 : 감광막패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게는 할로 임플란

트(halo implant)를 이용한 반도체소자의 접합형성방법에 관한 것이다.

- <9> 종래의 할로 임플란트는 게이트 아래쪽으로 틸트 45°로 이온주입을 실시하기 위하여 웨이퍼의 폴트존(falt zone)에서 1차로 임플란트를 시작하여 트위스트(twist) 90°씩 이동하여 총 4회에 걸쳐 이온주입을 실시한다.
- <10> 그러나, 게이트 높이 또는 PR 높이에 의해 균일한 임플란테이션이 되지 못하는 문제가 발생한다. 이러한 문제는 특히, 디자인룰이 조밀(tight)하여 감광막 (PR)과 인접한 활성영역과의 거리를 충분히 갖지 못하는 셀지역에서 문제점이 더욱 심각하게 나타난다.
- <11> 이러한 종래기술에서 나타나는 문제점을 도 1을 참조하여 보다 구체적으로 설명하면 다음과 같다.
- <12> 도 1은 종래기술에 따른 반도체소자의 접합형성방법에 있어서, 4번에 걸친 할로(halo) 임플란트를 도시한 반도체소자의 레이아웃도이다.
- <13> 종래기술에 따른 반도체소자의 접합형성방법은, 도 1에 도시된 바와같이, P-MOS지역과 N-MOS 지역으로 각각 분할된 반도체기판을 준비한다. 그다음, 상기 P-MOS지역은 감광막패턴을 도포한 상태에서 N-MOS지역에 할로임플란트를 실시한다.
- <14> 이때, 상기 할로임플란트는 총 4회 실시하되, 감광막이 도포된 양측에서 2회 실시하고, 감광막이 도포되지 않은 또다른 양측에서 2회를 실시한다. 이렇게 총 4회의 틸트 이온주입에 의해 게이트(3)의 아래쪽으로는 각각 모든 부분에서 1회의 이온주입이 정상적으로 이루어진다.

【발명이 이루고자 하는 기술적 과제】

- <15> 그러나, 이러한 4회에 걸친 이온주입에도 불구하고, 접합 부분에 맞는 이온주입의 횟수가 각각 다르게 나타난다. 즉, 먼저 감광막(PR)의 높이가 $1.1\ \mu\text{m}$ 가 되므로 감광막(PR)에서 부터의 거리가 $0.8\ \mu\text{m}$ 안에 있는 활성영역은 좌,우 이온주입(예를들면, 제2차 및 제4차 이온주입)시에 1회는 감광막(PR)높이에 의해 이온주입이 불가능하게 된다. 즉, 감광막의 높이에 의한 할로 임플란트 쉐도우 효과 (shadow effect)가 1회 발생한다. 따라서, 접합부분에 주입되는 이온은 총 3회로 줄어들게 된다. 하지만, 4회의 이온주입중 3회의 이온 주입은 균일하게 이루어진다고 볼수 있다.
- <16> 그러나, 게이트패턴(3)에 의한 쉐도우효과(shadow effect)가, 도 1에 도시된 바와 같이, 정상적인 지역인 'B'지역은 3회의 이온주입이 실시되고, 'A' 지역은 게이트 (3)에 의한 쉐도우효과 (shadow effect)가 제2차 이온주입시에 발생하여 총 2회의 이온주입만이 되게 된다.
- <17> 이러한 쉐도우 효과는 게이트(3)의 높이가 약 $0.2\ \mu\text{m}$ 가 되기 때문에 접합의 $0.2\ \mu\text{m}$ 까지 발생하게 된다.
- <18> 즉, 도 1에 도시된 바와같이, 제1 접합영역인 'A'지역은 총 2회의 이온 주입이 이루어지고, 제2접합영역인 'B'지역은 총 3회의 이온주입이 이루어진다. 따라서, 이러한 불균일한 접합 이온주입에 의해 문턱전압(V_t)의 이동이 발생하게 된다.
- <19> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 할로임플란트를 통한 접합형성시에 쉐도우 효과를 방지할 수 있어 균일한 접합의 도핑을 유지할 수 있는 반도체소자의 접합형성방법을 제공함에 그 목적이 있다.

<20> 또한, 본 발명은 균일한 접합도핑이 유지되도록 하여 문턱전압의 이동을 방지함으로써 수율을 개선시킬 수 있는 반도체소자의 접합형성방법을 제공함에 있다.

【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위한 본 발명은, 할로임플란트를 이용한 반도체 소자의 접합형성방법에 있어서, 할로임플란트지역을 제외한 반도체기판의 나머지 부분상에 감광막패턴을 형성하는 단계와, 상기 반도체기판의 할로임 플란트지역에 45° 틸트각을 이용하여 1단계 할로임플란트를 실시하는 단계와, 상기 반도체기판의 할로우임플란트지역에 0° 틸트각을 이용하여 2단계 할로임플란트를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<22> 또한, 본 발명에 따른 반도체소자의 접합형성방법은, 할로임플란트를 이용한 반도체소자의 접합 형성방법에 있어서, 제1도전형 MOS지역과 제2도전형 MOS지역으로 분할된 반도체기판을 제공하는 단계와, 상기 반도체기판의 제2도전형 MOS지역에 감광막패턴을 형성하는 단계와, 상기 반도체 기판의 제1도전형 MOS지역에 45° 틸트각을 이용하여 비틀림각 0°와 180°에서 제1차 및 제2차 할로임플란트를 각각 실시하는 단계와, 상기 반도체기판의 제1도전형 MOS지역에 0°틸트각을 이용하여 제3차 할로임플란트를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<23> 이하, 본 발명에 따른 반도체소자의 접합 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.

<24> 도 2는 본 발명에 따른 반도체소자의 접합형성방법에 있어서, 할로 (halo) 임플란트를 설명하기 위한 반도체소자의 레이아웃도이다.

- <25> 도 3은 본 발명에 따른 반도체소자의 접합형성방법에 있어서, 할로 임플란트를 도사한 반도체소자의 레이아웃을 나타내는 사시도이다.
- <26> 도 4 내지 6 각각은 본 발명에 따른 반도체소자의 접합형성방법에 있어서, 할로임플란트를 1차, 2차 및 3차 이온주입시의 반도체소자의 단면도이다.
- <27> 본 발명에 따른 반도체소자의 레이아웃도에 있어서, 도 2에 도시된 바와 같이, NMOS영역과 PMOS영역으로 구분되는 반도체기판(11)상에, 소자 분리막 (미도시)에 의해 다수의 활성영역(12)이 정의되어 있고, 상기 반도체 기판(11)상에 상기 다수의 활성영역(12)을 가로지르는 다수의 게이트 패턴 (13)이 형성되어 있다.
- <28> 또한, 상기 NMOS와 PMOS 지역에 해당하는 활성영역(12)에 각각 다른 도전성을 갖는 불순물을 할로임플란트하게 된다. 여기서는 NMOS지역에 할로임플란트하는 경우만 설명한다.
- <29> 본 발명에 있어서의 할로임플란트의 기술적원리는, 기존에는 45° 틸트각을 이용한 할로 임플란트를 4회 실시하던 것을 2회로 줄이고, 0° 틸트각을 이용한 할로임플란트를 1회 실시하는 것으로, 이를 좀더 구체적으로 설명하면 다음과 같다.
- <30> 먼저, NMOS지역에 있는 활성영역에 할로임플란트를 실시할 때, PMOS지역은 할로임플란트 마스크용 감광막패턴(15)을 덮어 이온주입이 되지 않도록한다.
- <31> 그다음, 도 3 및 도4에 도시된 바와같이, 상기 게이트패턴(13)의 아래쪽으로 이온주입을 실시하기 위해, 감광막패턴(15)과 평행한 위치인 NMOS지역의 일측에서 45°의 틸트각도로 제1차 이온주입을 실시한다. 이때, 상기 제1차 할로우 이온주입은 20 KeV 의 에너지와 4.0×10^{12} 의 도우즈로 실시한다.

<32> 이어서, 도 3 및 5에 도시된 바와같이, 상기 NMOS지역의 일측과 대응되는 다른 일측에서 45°의 틸트각도로 제2차 이온주입을 실시한다. 이때, 상기 제2차 할로우이온주입은, 제1차 할로우 이온주입과 동일한 조건인 20 KeV의 에너지와 4.0×10^{12} 의 도우즈로 실시한다.

<33> 즉, 상기 할로 임플란트에 의한 불균일한 접합의 도핑을 막기 위하여 할로임플란트의 비틀림각(twist angle)을 0°에서 제1차 이온주입을 실시하고, 180°에서 제2차 이온주입을 실시한다.

<34> 그다음, 도 3 및 도 6에 도시된 바와같이, 할로임플란트의 틸트각도를 0°로 하여 반도체기판(11)의 상측에서 수직되게 제3차 이온주입을 실시한다. 이때, 상기 제3차 할로우 이온주입은 16 KeV의 에너지와 4×10^{12} 의 도우즈로 실시한다.

<35> 이때, 0°의 틸트각으로 실시하는 임플란트는 45°의 틸트각도로 이온주입시에 불순물이온이 들어가는 깊이를 계산한 값이어야 한다. 즉, 제3차 이온주입때는 제1 및 2차 이온주입때와 동일한 에너지로 이온주입해서는 안된다.

<36> 따라서, 도 2에서의 'A'지역과 'B'지역은 제1, 2 및 3차 할로임플란트시에 모두 이온주입되므로써 총 3회의 이온주입이 이루어지게 된다.

【발명의 효과】

<37> 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 접합 형성방법에 있어서는 다음과 같은 효과가 있다.

<38> 본 발명에 따른 반도체소자의 접합형성방법에 있어서는, 0°의 틸트각을 이용하여 할로임플란트를 실시해 주기 때문에 감광막패턴마스크의 높이나 게이트의 높이에 구애받

지 않으므로 종래의 할로임플란트시에 마스크높이 및 게이트 높이에 의해 발생하는 웨도우 효과를 방지할수 있어 균일한 접합 도평을 유지할 수 있다.

<39> 또한, 본 발명에 있어서는 균일한 도평이 이루어지므로써 문턱전압(V_t)의 이동을 방지할 수 있어 수율을 개선시킬 수 있다.

<40> 그리고, 본 발명에 있어서는 칩사이즈가 감소에 따른 디자인룰이 조밀화되더라도 안정적인 할로우 임플란트를 실시할 수가 있다.

【특허청구범위】**【청구항 1】**

할로임플란트를 이용한 반도체소자의 접합 형성방법에 있어서,
할로임플란트지역을 제외한 반도체기판의 나머지 부분상에 감광막패턴을 형성하는
공정;

상기 반도체기판의 할로임플란트지역에 45° 틸트각을 이용하여 1단계 할로임플란트
를 실시하는 공정;

상기 반도체기판의 할로우임플란트지역에 0° 틸트각을 이용하여 2단계 할로임플란
트를 실시하는 공정;을 포함하여 이루어지는 것을 특징으로하는 반도체소자의 접합 형성
방법.

【청구항 2】

제1항에 있어서, 상기 1단계 할로임플란트는 20 KeV 의 에너지와 8.0×10^{12} (4×10^{12}
 $\times 2$ 회)의 도우즈로 실시하는 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 3】

제1항에 있어서, 상기 1단계 할로임플란트는 비틀림각 0°와 180°에서 2회 실시하는
것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 4】

제1항에 있어서, 상기 제1항에 있어서, 상기 2단계 할로임플란트는 0° 틸트각을 이
용한 할로임플란트를 1회 실시하는 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 5】

상기 제1항에 있어서, 상기 2단계 할로임플란트는 16 KeV 의 에너지와 4×10^{12} 의 도우즈로 실시하는 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 6】

상기 제1항에 있어서, 상기 감광막패턴은 PMOS지역에 형성되고, 상기 할로임플란트 지역은 NMOS지역인 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 7】

상기 제1항에 있어서, 상기 감광막패턴은 NMOS지역에 형성되고, 상기 할로임플란트 지역은 PMOS지역인 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 8】

할로임플란트를 이용한 반도체소자의 접합 형성방법에 있어서,
제 1도전형 MOS지역과 제2도전형 MOS지역으로 분할된 반도체기판을 제공하는 단계;
상기 제2도전형 MOS지역상에 감광막패턴을 형성하는 단계;
상기 제1도전형 MOS지역상에 45° 틸트각을 이용하여 비틀림각 0° 와 180° 에서 제1차 및 제2차 할로임플란트를 각각 실시하는 단계;
상기 제1도전형 MOS지역에 0° 틸트각을 이용하여 제3차 할로임플란트를 실시하는 단계;를 포함하여 이루어지는 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 9】

상기 제8항에 있어서, 상기 제1차 할로임플란트는 20 KeV 의 에너지와 4.0×10^{12} 의 도우즈로 실시하는 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 10】

상기 제8항에 있어서, 상기 제2차 할로임플란트는 20 KeV 의 에너지와 4.0×10^{12} 의 도우즈로 실시하는 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 11】

상기 제8항에 있어서, 상기 제3차 할로임플란트는 16 KeV 의 에너지와 4×10^{12} 의 도우즈로 실시하는 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 12】

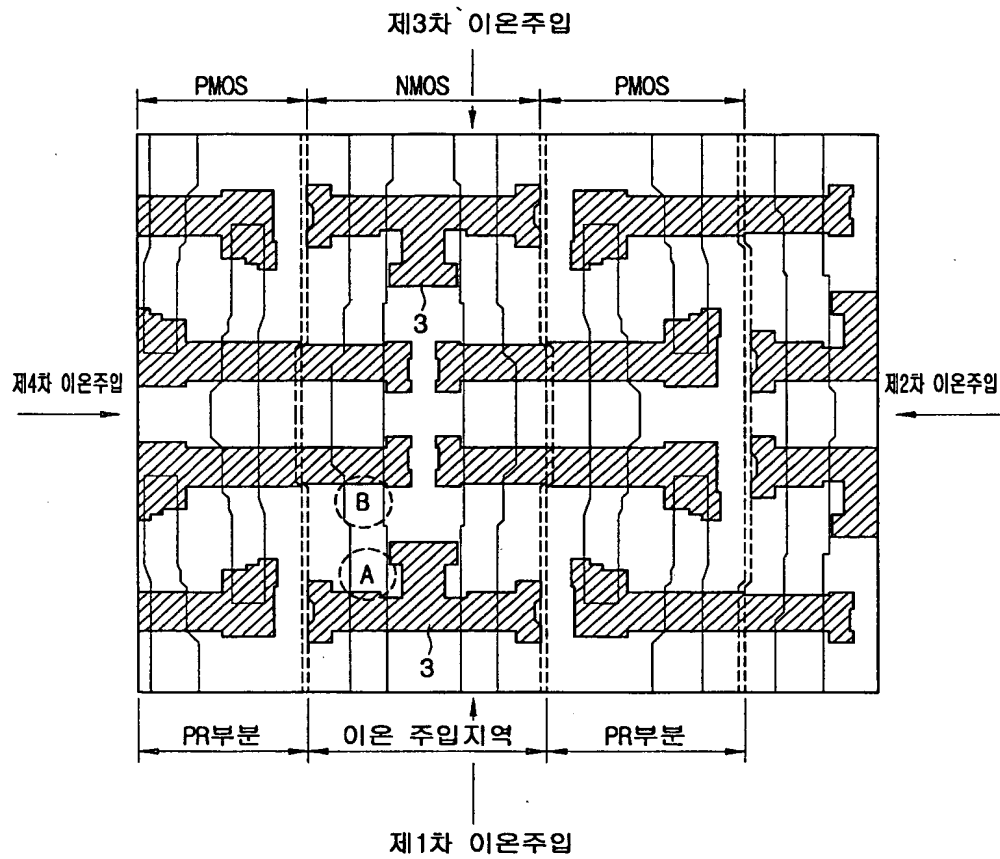
상기 제8항에 있어서, 상기 제1도전형 MOS지역은 N-MOS지역이고, 제2도전형 MOS지역은 P-MOS 지역인 것을 특징으로하는 반도체소자의 접합 형성방법.

【청구항 13】

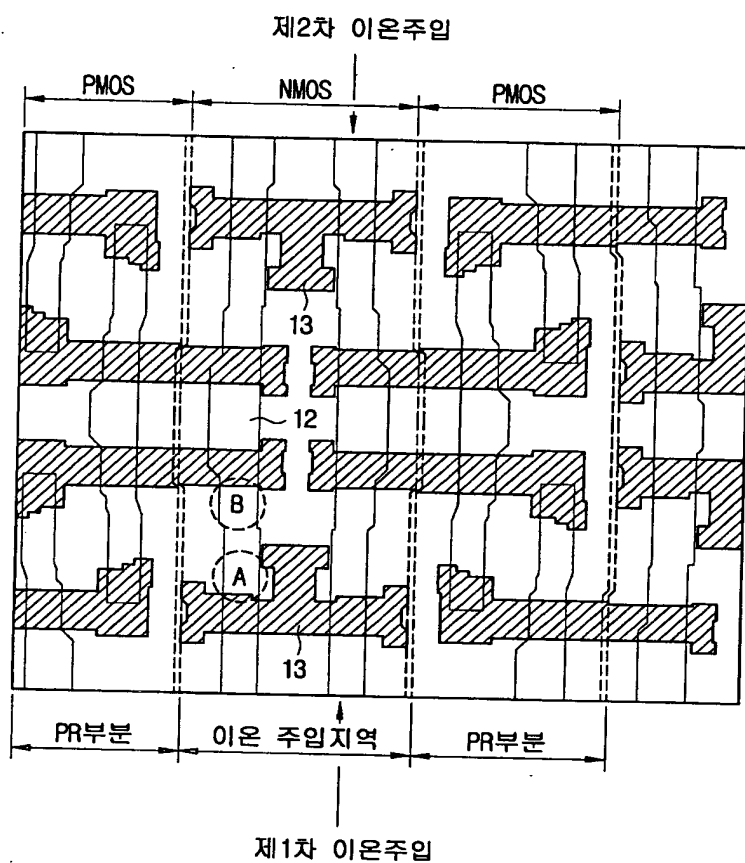
상기 제8항에 있어서, 상기 제8항에 있어서, 상기 제1도전형 MOS지역은 P-MOS지역이고, 제2도전형 MOS지역은 N-MOS 지역인 것을 특징으로하는 반도체소자의 접합 형성방법.

【도면】

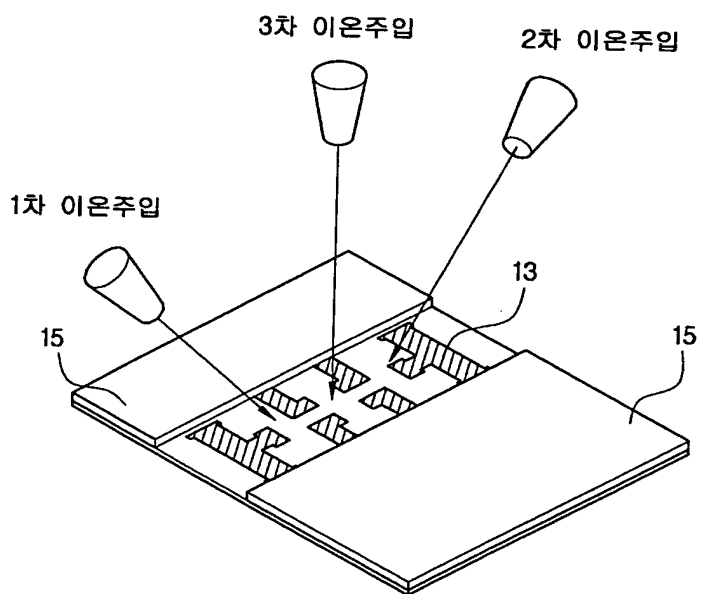
【도 1】



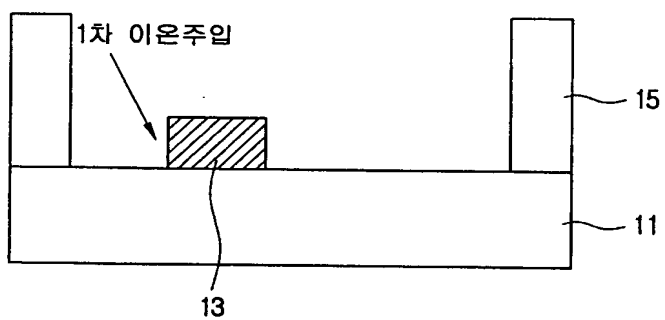
【도 2】



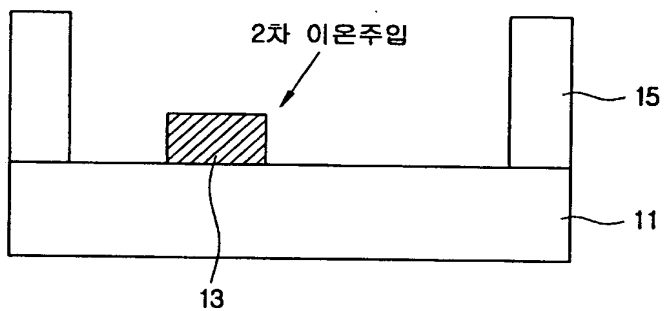
【도 3】



【도 4】



【도 5】



【도 6】

